

Complementary MOSFET element using hot carrier effect - has transistor groups each with two complementary MOSFETs with gate sidewall spacing pieces

Patent Assignee: SAMSUNG ELECTRONICS CO LTD; SAMSUNG JONJA JUSHIKFESA

Inventors: CHOI D; KIM K

Patent Family							
Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
DE 4126747	A1	19930121	DE 4126747	A	19910813	199304	B
DE 4126747	C2	19930506	DE 4126747	A	19910813	199318	
US 5291052	A	19940301	US 91753058	A	19910830	199409	
JP 6342884	A	19941213	JP 91263262	A	19910913	199509	
KR 9405802	B1	19940623	KR 9111609	A	19910709	199614	

Priority Applications (Number Kind Date): KR 9111609 A (19910709)

Patent Details					
Patent	Kind	Language	Page	Main IPC	Filing Notes
DE 4126747	A1		11	H01L-027/092	
DE 4126747	C2		10	H01L-027/092	
US 5291052	A		10	H01L-029/94	
JP 6342884	A		8	H01L-027/092	
KR 9405802	B1			H01L-027/08	

Abstract:

DE 4126747 A

The MOSFET element has groups of transistors, each group having two identical chip zones respectively incorporating n-type and p-type MOSFET's, with a group of sidewall spacing pieces (8a, 8b) around the gate electrode (6) of each transistor.

The sidewall spacing pieces (8b) for one transistor have a greater thickness than those for the other transistor, the difference in thickness pref. proportional to the different diffusion rates for the positive and negative doped zones (9, 10) associated with the two MOSFET's.

ADVANTAGE - Small MOSFET's with low gate doping concentration.

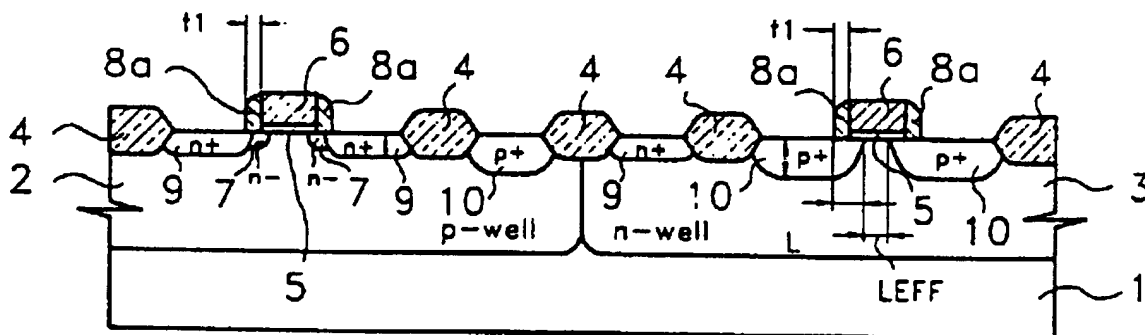
US 5291052 A

The impurity region of the second transistor and a second group of gate side wall spacers are aligned to the gate of the second MOS transistor. The second group of gate side wall spacers have a thickness different from that of the first group of gate side wall spacers.

ADVANTAGE - Allows reduction in size of first type of transistor while preventing distortion of second type of transistor.

Dwg.3/4

FIG. 1



© 2004 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 9334785



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 41 26 747 A 1

⑤1 Int. Cl.⁵:
H01 L 27/092
H01 L 21/72

⑳ Aktenzeichen: P 41 26 747.8
㉑ Anmeldetag: 13. 8. 91
㉒ Offenlegungstag: 21. 1. 93

DE 41 26 747 A 1

㉓ Unionspriorität: ㉔ ㉕ ㉖
09.07.91 KR 91-11609

㉗ Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

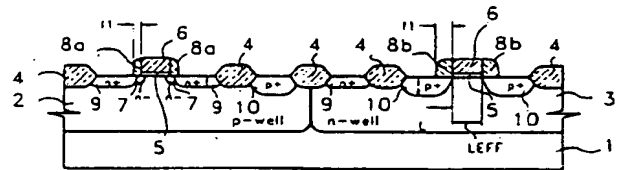
㉘ Vertreter:
Wilhelms, R., Dipl.-Chem. Dr.rer.nat.; Kilian, H.,
Dipl.-Phys. Dr.rer.nat.; Pohlmann, E., Dipl.-Phys.,
Pat.-Anwälte, 8000 München

㉙ Erfinder:
Kim, Kyeong-tae; Choi, Do-chan, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

㉚ MOS-Halbleiterbauelement und Verfahren zu seiner Herstellung

㉛ MOS-Halbleiterbauelement und Verfahren zu seiner Herstellung. Das MOS-Bauelement weist einen ersten und einen zweiten MOS-Transistor auf, die auf zwei identischen Plättchenbereichen ausgebildet sind. Der Störstellenbereich (9) des ersten Transistors und eine erste Gruppe von Gate-Seitenwandabstandsstücken (8a) sind zum Gate des ersten Transistors ausgerichtet. Der Störstellenbereich (10) des zweiten Transistors und eine zweite Gruppe von Gate-Seitenwandabstandsstücken (8b) sind zum Gate des zweiten MOS-Transistors ausgerichtet. Die zweite Gruppe von Gate-Seitenwandabstandsstücken (8b) hat eine andere Stärke als die erste Gruppe von Gate-Seitenwandabstandsstücken (8a).



DE 41 26 747 A 1

Beschreibung

Die Erfindung betrifft ein MOS Halbleiterbauelement sowie ein Verfahren zu seiner Herstellung und insbesondere ein CMOS Halbleiterbauelement mit einem NMOS-Transistor mit leicht dotiertem Drain und einem PMOS-Transistor mit einem einzigen Drain sowie ein Verfahren zu seiner Herstellung.

Die Entwicklung von schnellen MOS-Bauelementen ist gewöhnlich mit einer Ausbildung derartiger Bauelemente im Kleinformat verbunden. Zusammen mit der größeren Anordnungsdichte von Transistoren hat auch die Feldstärke im Inneren derartiger Bauelemente zugenommen. Das führt zu einigen Schwierigkeiten wie beispielsweise der Abnahme der Schwellenspannung sowie dem Durchgriffs- und "Hot-Carrier"-Effekt, d. h. dem Auftreten energiereicher Ladungsträger. Diese Schwierigkeiten beeinträchtigen die Charakteristik des Bauelementes.

Von allen oben beschriebenen Problemen ist der Hot-Carrier-Effekt für die Arbeit eines MOS-Bauelementes besonders abträglich. Der Hot-Carrier-Effekt wird durch eine Beschleunigung der Ladungsträger im Inneren eines Kanals aufgrund eines intensiven Feldes verursacht, das quer über die Sperrschicht in der Nähe des Drains vorliegt. Ein Ladungsträger, der eine ausreichende Energiemenge aufgenommen hat, kann die Potentialschwelle zwischen der Silizium- und Gate-Oxidschicht durchbrechen und als energiereicher Ladungsträger in die Gate-Oxidschicht eintreten. Ein energiereicher Ladungsträger im Inneren der Oxidschicht kann dann eingefangen werden und die Form der Potentialschwelle an der Grenzfläche zwischen der Silizium- und der Oxidschicht verändern und folglich die Schwellenspannung und/oder Steilheit des Bauelementes ändern.

Ein beschleunigter Ladungsträger im Inneren des Kanals kann neue Elektronenlochpaare über eine Stoßionisation erzeugen. Die neu erzeugten Ladungsträger können ihrerseits weitere Elektronenlochpaare über denselben Vorgang erzeugen. Eine Stoßionisation kann sich daher durch den Kanal fortpflanzen und einen Lawinendurchbruch der energiereichen Ladungsträger bewirken, so daß diese in die Gate-Oxidschicht injiziert werden.

Die durch die Ionisation erzeugten Löcher erhöhen weiterhin das Potential des Substrates durch die Bildung von Strömen. Die Zunahme im Substratpotential kann zu einem Durchbruch des parasitären Bipolartransistors und zu einer Änderung der Drainsteilspannung führen.

Der Hot-Carrier-Effekt ist stärker in NMOS-Transistoren als in PMOS-Transistoren, da ein Kanalelektron in einem NMOS-Transistor eine Stoßionisation schneller als ein Kanalloch in einem PMOS-Transistor hervorrufen kann. Darüberhinaus kann sich ein NMOS-Kanalelektron leichter in die NMOS-Oxidschicht bewegen als sich ein PMOS-Kanalloch in die PMOS-Oxidschicht bewegen kann. Das beruht darauf, daß die Potentialschwelle zwischen der Siliziumschicht und der Gate-Oxidschicht bei einem NMOS-Transistor niedriger als bei einem PMOS-Transistor ist.

Im allgemeinen werden NMOS-Transistoren mit niedrig dotiertem Drain dazu verwandt, den Hot-Carrier-Effekt zu vermindern. Bei einem NMOS-Transistor mit niedrig dotiertem Drain führt die geringere Störstellenkonzentration in der Nähe des Drains zu einer geringeren Feldintensität, so daß der Hot-Carrier-Effekt verschwindet. Die niedrige Störstellenkonzentration des Drainbereiches bewirkt jedoch zusätzlich einen parasitären

Widerstand zwischen dem Drain und dem Kanal. Der parasitäre Widerstand verringert den Drainstrom.

Wenn die Störstellenkonzentration in der Nähe des Drainbereiches zu groß wird, wird gleichfalls der Substratstrom groß, was den Hot-Carrier-Effekt verstärkt. Wenn andererseits die Störstellenkonzentration zu niedrig wird, dann nimmt der Steuerstrom aufgrund des parasitären Widerstandes ab. Die Störstellenkonzentration wird daher gewöhnlich sorgfältig sowohl unter Berücksichtigung des Hot-Carrier-Effektes als auch des parasitären Widerstandes gewählt.

Eine herkömmliche Ausbildung eines CMOS-Bauelementes, die das oben beschriebene Problem berücksichtigt, umfaßt NMOS-Transistoren mit niedrig dotiertem Drain und PMOS-Transistoren mit einem einzigen Drain. Bei dieser Ausbildung werden die Gate-Seitenwandabstandsstücke der NMOS und PMOS-Transistoren gewöhnlich auf die gleiche Stärke gesetzt, um die Herstellung zu vereinfachen.

N⁺ Source- und Drainbereiche von NMOS-Transistoren mit niedrig dotiertem Gate werden im allgemeinen durch Arsenionenimplantation gebildet, da die Diffusionsgeschwindigkeit von Arsen As niedrig ist und As die Bildung eines schmalen Überganges erlaubt. Die P⁺ Source- und Drainbereiche von PMOS-Transistoren werden andererseits im allgemeinen durch Borionenimplantation gebildet.

Da Bor B schneller als Arsen As diffundiert, sind die Anschlußtiefe und die Seitenstreuung größer als bei N⁺-Bereichen. Die effektive Kanallänge eines PMOS-Transistors ist folglich viel kürzer als bei einem NMOS-Transistor. Das bedeutet, daß bei einer Verringerung der Größe der NMOS-Kanäle die Größe der PMOS-Kanäle noch weiter verringert würde. Eine derartige unerwünschte Abnahme in der Größe des PMOS-Kanals führt zu einer Beeinträchtigung des PMOS-Aufbaus. Es ist somit schwierig, mit den herkömmlichen Möglichkeiten CMOS-Bauelemente mit sehr kleinen NMOS-Transistoren mit niedrig dotiertem Gate zu bilden.

Durch die Erfindung wird ein MOS-Halbleiterbauelement geschaffen, bei dem die Stärke des Gate-Seitenwandabstandsstückes eines MOS-Transistors einer ersten Art von der eines MOS-Transistors einer zweiten Art verschieden ist, um den MOS-Transistor der ersten Art weiter verkleinern zu können, während eine Beeinträchtigung des Aufbaus des MOS-Transistors der zweiten Art vermieden wird.

Gegenstand der Erfindung ist weiterhin ein Verfahren, das sich dazu eignet, ein derartiges MOS-Halbleiterbauelement herzustellen.

Das erfindungsgemäße MOS-Halbleiterbauelement weist insbesondere MOS-Transistoren einer ersten und einer zweiten Art auf, die jeweils auf einem von zwei identischen Plättchenbereichen vorgesehen sind, wobei die Gate-Elektrode und der Störstellenbereich des MOS-Transistors der ersten Art zu einem ersten Gate-Seitenwandabstandsstück ausgerichtet sind, und wobei der Störstellenbereich des MOS-Transistors der zweiten Art zu einem zweiten Gate-Seitenwandabstandsstück ausgerichtet ist, das eine andere Stärke als das erste Gate-Seitenwandabstandsstück hat.

Bei dem erfindungsgemäßen Verfahren zum Herstellen eines derartigen MOS-Halbleiterbauelementes werden gleichzeitig die Gate-Elektroden von MOS-Transistoren gebildet, werden Seitenwandabstandsstücke an den Seitenwänden der Elektroden gebildet, werden Störstellenbereiche für die MOS-Transistoren der einen

Art gebildet, werden zusätzliche Seitenwandabstandsstücke um einige der vorher gebildeten Seitenwandabstandsstücke gebildet und werden Störstellenbereiche für die MOS-Transistoren der anderen Art gebildet.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens werden gleichzeitig die Gate-Elektroden der MOS-Transistoren gebildet, werden Seitenwandabstandsstücke an den Seitenwänden der Elektroden der MOS-Transistoren der einen Art gebildet, werden Störstellenbereiche für die MOS-Transistoren gebildet, deren Gates Seitenwandabstandsstücke aufweisen, werden Seitenwandabstandsstücke an den Seitenwänden der Gate-Elektroden der MOS-Transistoren der anderen Art gebildet, wobei die Seitenwandabstandsstücke der MOS-Transistoren der anderen Art stärker als die Seitenwandabstandsstücke sind, die in den vorhergehenden Verfahrensschritten gebildet wurden, und werden Störstellenbereiche der MOS-Transistoren der anderen Art gebildet.

Im folgenden werden anhand der zugehörigen Zeichnung besonders bevorzugte Ausführungsbeispiele der Erfindung näher beschrieben. Es zeigen:

Fig. 1 in einer schematischen Querschnittsansicht den Aufbau eines herkömmlichen CMOS-Halbleiterbauelementes mit niedrig dotiertem Drain,

Fig. 2 in einer schematischen Querschnittsansicht den Aufbau eines Ausführungsbeispiels des erfindungsgemäßen CMOS-Halbleiterbauelementes mit niedrig dotiertem Drain,

Fig. 3A bis 3G in schematischen Querschnittsansichten ein CMOS-Halbleiterbauelement mit niedrig dotiertem Drain in den verschiedenen Stufen seines Herstellungsprozesses gemäß eines Ausführungsbeispiels der Erfindung, und

Fig. 4A bis 4F in schematischen Querschnittsansichten ein CMOS-Halbleiterbauelement mit niedrig dotiertem Drain in den verschiedenen Stufen seines Herstellungsprozesses bei einem weiteren Ausführungsbeispiel der Erfindung.

Fig. 1 zeigt ein herkömmliches CMOS-Halbleiterbauelement mit einem P-Topf 2 und einem N-Topf 3, die in einem Siliziumsubstrat 1 ausgebildet sind. In Fig. 1 sind gleichfalls ein NMOS-Transistor, der im P-Topf 2 ausgebildet ist, und ein PMOS-Transistor dargestellt, der im N-Topf 3 ausgebildet ist.

Der NMOS-Transistor weist eine Gate-Elektrode 6, die eine dünne Gate-Oxidschicht 5 in der Mitte des Substrates 1 eines aktiven Bereiches umfaßt, der durch eine dünne Feldoxidschicht 4 des P-Topfes 2 begrenzt ist, und einen N⁻-Störstellenbereich 7 auf. Ein Aufbau mit niedrig dotiertem Drain umfaßt den N⁻-Störstellenbereich 7 und einen N⁺-Störstellenbereich 9, die beide jeweils zur Gate-Elektrode 6 selbst ausgerichtet sind, sowie Seitenwandabstandsstücke 8.

Der PMOS-Transistor weist eine Gate-Elektrode 6, die eine dünne Gate-Oxidschicht 5 in der Mitte des Substrates 1 eines aktiven Bereiches umfaßt, der durch eine dünne Feldoxidschicht 4 des N-Topfes 3 begrenzt ist, und einen P⁺-Störstellenbereich 10 auf, der zum Seitenwandabstandsstück 8 der Gate-Elektrode 6 selbst ausgerichtet ist.

Einer der P⁺-Störstellenbereiche 10 ist in einem Bereich ausgebildet, der von der dünnen Feldoxidschicht 4 des P-Topfes 2 begrenzt ist. Einer der N⁺-Störstellenbereiche 9 ist in der Nähe des Topfkontaktbereiches ausgebildet, der von der dünnen Feldoxidschicht 4 des N-Topfes 3 begrenzt ist.

Nachdem die Gate-Elektrode 6 gebildet ist, werden

die Gate-Seitenwandabstandsstücke 8 der NMOS- und PMOS-Transistoren dadurch gebildet, daß eine dünne thermische Oxidschicht auf der Oberfläche des Substrates 1 niedergeschlagen und diese dünne Schicht anisotrop geätzt wird. Bei diesem Arbeitsvorgang bleibt die dünne thermische Oxidschicht nur an den Seitenwänden der Gate-Elektroden 6 übrig. Bei diesem Vorgang sind die Stärken der Gate-Seitenwandabstandsstücke 8 der PMOS-Transistoren und der NMOS-Transistoren mit niedrig dotiertem Drain identisch. Es sei darauf hingewiesen, daß die Gate-Seitenwandabstandsstücke 8 eines NMOS-Transistors mit niedrig dotiertem Drain dünn ausgebildet werden, um die Länge des N⁻-Störstellenbereiches 9 so klein wie möglich zu halten.

Nachdem die Gate-Seitenwandabstandsstücke 8a gebildet sind, wird der P⁺-Störstellenbereich 10 des PMOS-Transistors dadurch gebildet, daß P⁺-Störstellen beispielsweise BF₂-Ionen (40 keV bei einer Dichte von $5 \cdot 10^{15}/\text{cm}^2$) implantiert werden, und die implantierten Störstellen über eine 60 Minuten dauernde thermische Behandlung bei 900°C aktiviert werden.

Wenn B⁺ oder BF₂-Ionen als P⁺-Störstellen verwandt werden, werden aufgrund der größeren Diffusionsgeschwindigkeit von B⁺ als von As (N⁺-Störstellen) die Anschlußtiefe (4000 Å) und die Seitenstreuung (3000 Å) des P⁺-Störstellenbereiches 10 größer als die Anschlußtiefe (1500 Å) und die Seitenstreuung des N⁺-Störstellenbereiches 9. Die Ausdehnung des P⁺-Störstellenbereiches 10 wird blockiert und verkürzt den Kanal stärker als beim N⁺-Störstellenbereich 10.

Wenn beispielsweise die Stärke des Gate-Seitenwandabstandsstückes 8 1000 Å beträgt, dann ist die effektive Kanallänge Leff des PMOS-Transistors kleiner als die gewünschte Länge L um annähernd 4000 Å. In dem Fall, in dem das Gate-Seitenwandabstandsstück eine Stärke von annähernd 2000 Å hat würde, die effektive Kanallänge um 2000 Å kürzer sein.

Es ist schwierig, das obige Problem zu vermeiden, da bei einer Zunahme der Stärke der Gate-Seitenwandabstandsstücke 8 des PMOS-Transistors auf etwa 2000 Å auch die Stärke des Gate-Seitenwandabstandsstückes 8 des NMOS-Transistors groß würde. Folglich würde die Länge des N⁻-Störstellenbereiches 7 größer und könnten energiereiche Ladungsträger die Arbeit des NMOS-Transistors beeinträchtigen.

Das heißt, daß die herkömmliche CMOS-Ausbildung und das zugehörige Herstellungsverfahren keine problemlose Optimierung der Charakteristiken der PMOS- und NMOS-Transistoren des Bauelementes erlauben, was auf den verschiedenen Diffusionsraten der N- und P-Störstellen beruht.

Fig. 2 zeigt ein Ausführungsbeispiel des erfindungsgemäßen CMOS-Bauelementes. In Fig. 2 sind Bauteile und Bereiche, die Bauteilen und Bereichen in Fig. 1 entsprechen, mit den gleichen Bezugszeichen versehen und werden diese Bauteile nicht nochmals beschrieben.

Während in Fig. 1 identische Gate-Seitenwandstärken sowohl für den PMOS als auch für den NMOS-Transistor dargestellt sind, zeigt Fig. 2 eine Stärke t2 des Gate-Seitenwandabstandsstückes 8b des PMOS-Transistors, die größer als die Stärke t1 des Gate-Seitenwandabstandsstückes 8a des NMOS-Transistors ist. Das heißt, daß gemäß der Erfindung das Gate-Seitenwandabstandsstück 8a des NMOS-Transistors so ausgebildet ist, daß es eine andere Stärke als das Gate-Seitenwandabstandsstück 8b des PMOS-Transistors hat, um die verschiedenen Anschlußtiefen und Seitenstreuungen des N-Störstellenbereiches und des P-Störstellenbereiches zu berücksichtigen.

ches zu kompensieren.

Die Fig. 3A bis 3G zeigen in Querschnittsansichten eines Halbleiterbauelementes die verschiedenen Stufen des Verfahrens zum Bilden eines Aufbaus, der in Fig. 2 dargestellt ist.

Wie es in Fig. 3A dargestellt ist, beginnt das Verfahren zum Bilden des in Fig. 2 dargestellten und oben beschriebenen Aufbaus mit der Bildung des P-Topfes 2 und des N-Topfes 3, die jeweils eine Tiefe von 2 bis 7 μm haben. Jeder Topf weist eine maximale Störstellenkonzentration von $1 \cdot 10^{16}$ bis $1 \cdot 10^{17}$ Ionen/ cm^3 auf. Beide Töpfe werden über herkömmliche Verfahren zur Bildung von Doppeltöpfen ausgebildet.

Danach wird eine dünne Feldoxidschicht 4 über ein herkömmliches örtliches Siliziumoxidationsverfahren LOCOS auf dem Substrat 1 ausgebildet, um die aktiven Bereiche der P- und N-Töpfe 2 und 3 jeweils zu bilden. Anschließend wird eine dünne Oxidschicht 5 mit einer Stärke von 50 Å bis 200 Å auf dem Substrat 1 über ein thermisches Oxidationsverfahren ausgebildet. Danach wird polykristallines Silizium 6, das mit Störstellen dotiert ist, auf der Oberfläche des Aufbaus niedergeschlagen, der sich aus dem vorhergehenden Verfahrensschritt ergibt. Das polykristalline Silizium 6 und die dünne Oxidschicht 5 werden dann mit einem herkömmlichen fotolithografischen Verfahren gemustert, um in den aktiven Bereichen eine dünne Gate-Oxidschicht 5 und eine Gate-Elektrode 6 zu bilden.

Es sei darauf hingewiesen, daß die Gate-Elektrode 6 aus einem Verbund aus einer Metallsilicidschicht eines hitzebeständigen Metalls auf einer Polysiliziumschicht bestehen kann. Es kann auch ein Siliziumsubstrat als N-Topf oder P-Topf verwandt werden, das mit N- oder P-Störstellen dotiert ist. Die Konzentration der Störstellen kann entweder vor oder nach dem Aufbringen der dünnen Gate-Oxidschicht 6 so gesteuert werden, daß sich die gewünschte Schwellenspannung der Transistoren ergibt.

Fig. 3B zeigt den Aufbau des Halbleiterbauelementes nach einigen folgenden Verfahrensschritten. Zunächst wird ein Fotolack 11 auf das Substrat 1 aufgebracht. Anschließend wird eine Öffnung 12 im Fotolack 11 gebildet. Die Stelle der Öffnung 12 entspricht dem aktiven Bereich des P-Topfes 2. Ein N⁻-Störstellenbereich 7, der zur Gate-Elektrode 6 selbst ausgerichtet ist, wird in der Nähe der Oberfläche des Substrates 1 dadurch gebildet, daß zunächst N-Störstellen wie beispielsweise P oder As durch die Öffnung 12 in das Substrat 1 des P-Topfes 2 mit einer Dichte von $1 \cdot 10^{13}$ bis $1 \cdot 10^{14}$ Ionen/ cm^2 bei 30 keV bis 60 keV implantiert werden und anschließend die implantierten Ionen aktiviert werden.

Fig. 3C zeigt das Gate-Seitenwandabstandsstück 8a. Das Gate-Seitenwandabstandsstück 8a wird dadurch erzeugt, daß zunächst der Fotolack 11 entfernt wird, daß anschließend eine dünne Isolierschicht, beispielsweise eine chemisch aufgedampfte Oxidschicht oder eine Hochtemperaturoxidschicht gleichmäßig auf dem Substrat ausgebildet wird, und daß diese dünne Schicht anisotrop geätzt wird. Die dünne Schicht kann 500 Å bis 2000 Å stark sein.

Danach wird ein Fotolack 11 auf den Aufbau geschichtet, der sich aus dem vorhergehenden Verfahrensschritt ergibt (Fig. 3D). Es werden Öffnungen 14 im Fotolack 13 über den Bereichen ausgebildet, die dem aktiven Bereich des P-Topfes 2 und dem Topfkontaktbereich des P-Topfes 3 entsprechen. Anschließend wird ein N⁺-Störstellenbereich 9 in der Nähe der freiliegenden Oberfläche des Substrates 1 dadurch gebildet, daß

N-Störstellen, wie beispielsweise As oder P durch die Öffnung 14 mit einer Dichte von $1 \cdot 10^{15}$ bis $1 \cdot 10^{16}$ Ionen/ cm^2 bei 10 keV bis 50 keV implantiert werden und anschließend die implantierten Störstellenionen aktiviert werden.

Fig. 3E zeigt die dünne Isolierschicht 15, die gleichmäßig auf dem Substrat 1 in einer Stärke von annähernd 500 Å bis 2000 Å niedergeschlagen wird.

Wie es teilweise in Fig. 3F dargestellt ist, wird als nächstes ein Fotolack 16 auf die dünne Isolierschicht geschichtet und werden Öffnungen 17 im Fotolack 16 über den Bereichen ausgebildet, die dem aktiven Bereich des N-Topfes 3 und dem Topfkontaktbereich des P-Topfes 2 entsprechen. Als nächstes wird ein zweites Gate-Seitenwandabstandsstück 8a des N-Topfes 3 dadurch gebildet, daß die dünne Isolierschicht 15 anisotrop geätzt wird. Es wird ein P⁺-Störstellenbereich 10 in der Nähe der freiliegenden Oberfläche des Substrates 1 dadurch gebildet, daß P⁺-Störstellen wie beispielsweise B oder BF₂ durch Öffnungen 17 mit einer Dichte von $1 \cdot 10^{15}$ bis $1 \cdot 10^{16}$ Ionen/ cm^2 bei 10 bis 50 keV implantiert werden und anschließend die implantierten Störstellen aktiviert werden.

Die Abstandsstücke 8a und 15a bilden zusammen das Abstandsstück 8b, das dicker als das Abstandsstück 8a des NMOS-Transistors ist. Die Abstandsstücke 8b und das Gate 6 zwischen den Abstandsstücken 8b überdecken größere Flächenbereiche als die Abstandsstücke 8a und das Gate 6 zwischen den Abstandsstücken 8a.

Die Aktivierung der P⁺-Störstellen führt dazu, daß sich die beiden P⁺-Bereiche ausbreiten und den Kanal zwischen den Bereichen abkleben. Da die P⁺-Bereiche weiter voneinander entfernt sind, was auf den Abstandsstücken 8b beruht, erzeugt die Ausbreitung der P⁺-Bereiche einen Kanalbereich, dessen Länge annähernd gleich dem des Kanals zwischen den Abstandsstücken 8a ist, obwohl die P⁺-Störstellen eine größere Diffusionsgeschwindigkeit haben. Mit diesem Verfahren wird daher die Kanallänge des PMOS-Transistors nicht unerwünscht verkürzt, wie es beim herkömmlichen Herstellungsverfahren zum Herstellen von NMOS-Transistoren mit niedrig dotiertem Drain der Fall ist.

Das CMOS-Herstellungsverfahren wird dadurch abgeschlossen, daß der Fotolack 16 entfernt wird, so daß ein NMOS-Transistor mit einem ersten Gate-Seitenwandabstandsstück 8a im P-Topf 2 und ein PMOS-Transistor mit einem ersten und einem zweiten Gate-Seitenwandabstandsstück 8a und 15a als Seitenwandabstandsstück 8b so ausgebildet sind, wie es in Fig. 3G dargestellt ist.

Die Fig. 4A bis 4F zeigen den Aufbau eines CMOS-Bauelementes mit niedrig dotiertem Drain in den verschiedenen Stufen eines weiteren Ausführungsbeispiels des erfindungsgemäßen Verfahrens zum Herstellen eines CMOS-Bauelementes. Die Bauteile, die Bauteilen in den Fig. 3A bis 3G entsprechen, sind mit den gleichen Bezugszeichen versehen.

Die Fig. 4A und 4B sind mit den Fig. 3A und 3B identisch und die zu den Fig. 4A und 4B gehörenden Verfahrensschritte werden nicht nochmals beschrieben.

Wie es in Fig. 4C dargestellt ist, wird nach Bildung des in Fig. 4B dargestellten Aufbaus der Fotolack 11 entfernt. Als nächstes wird eine dünne Isolierschicht 8 niedergeschlagen und wird ein Fotolack 13 auf die Oberfläche der dünnen Schicht 8 geschichtet. Danach wird eine Öffnung 14 ausgebildet. Die ersten Gate-Seitenwandabstandsstücke 8a werden nur an den Seitenwänden der

Gate-Elektrode 6 des P-Topfes 2 durch anisotropes Ätzen der Isolierschicht 8 durch die Öffnung 14 ausgebildet. Nachdem die ersten Gate-Seitenwandabstandsstücke 8a ausgebildet sind, wird der N^+ -Störstellenbereich 9 dadurch gebildet, daß N^+ -Störstellenionen durch die Öffnung 14 implantiert und anschließend die implantierten Störstellen aktiviert werden.

Danach wird der Fotolack 13 entfernt und wird eine zweite dünne Isolierschicht 15 niedergeschlagen, wie es in Fig. 4D dargestellt ist.

Fig. 4E zeigt den Aufbau des CMOS-Bauelementes nach der Ausführung weiterer Verfahrensschritte. Zunächst wird ein Fotolack 16 auf die zweite dünne Isolierschicht 15 geschichtet und werden Öffnungen 17 im Fotolack 16 ausgebildet. Anschließend wird ein zweites Gate-Seitenwandabstandsstück 8b an den Seitenwänden der Gate-Elektrode 6 des N-Topfes 3 durch anisotropes Ätzen der zweiten dünnen Isolierschicht 15 und der ersten dünnen Isolierschicht 8 durch die Öffnung 17 ausgebildet. Es sei darauf hingewiesen, daß das zweite Gate-Seitenwandabstandsstück 8b so ausgebildet wird, daß es dicker als das erste Gate-Seitenwandabstandsstück 8a ist. Der P^+ -Störstellenbereich 10 wird dadurch gebildet, daß P^+ -Störstellenionen implantiert und anschließend die implantierten Störstellen aktiviert werden.

Schließlich wird ein CMOS-Halbleiterbauelement mit Gate-Seitenwandabstandsstücken verschiedener Dicke erhalten, wie es in Fig. 4F dargestellt ist, indem der Fotolack 16 entfernt wird, nachdem die zweiten Gate-Seitenwandabstandsstücke 8b gebildet sind.

Gemäß der Erfindung haben die Gate-Seitenwandabstandsstücke 8a und 8b der PMOS und der NMOS-Transistoren verschiedene Stärken. Wie es oben beschrieben wurde, wird dadurch die unterschiedliche Diffusionsgeschwindigkeit der N^+ - und der P^+ -Störstellen berücksichtigt. Gemäß der Erfindung können die NMOS und PMOS-Transistoren weiter verkleinert werden, ohne den Aufbau der PMOS-Transistoren zu beeinträchtigen. Es sei darauf hingewiesen, daß bei der Bildung der Seitenwandabstandsstücke gemäß der Erfindung die Stärke zur Diffusionsgeschwindigkeit von B und As korreliert werden muß. Da sich B schneller als As ausbreitet oder verteilt müssen die Seitenwandabstandsstücke dick genug sein, um die stärkere Ausbreitung oder Verteilung von B zu kompensieren.

Im obigen wurden einige Ausführungsbeispiele der Erfindung beschrieben, die weiter abgewandelt werden können. Beispielsweise kann die erfindungsgemäße Ausbildung nicht nur bei CMOS-Bauelementen sondern auch bei Bauelementen angewandt werden, bei denen die Stärke von sogenannten Gate-Seitenwandabstandsstücken verändert werden muß.

Patentansprüche

1. MOS-Halbleiterbauelement mit Gruppen von Transistoren **dadurch gekennzeichnet**, daß jede Transistorgruppe einen ersten Transistor auf einem ersten Siliziumplättchenteil (2) mit einer ersten Gate-Elektrode, einer ersten Gruppe von Seitenwandabstandsstücken (8a), wobei jedes Abstandsstück der ersten Gruppe von Seitenwandabstandsstücken neben einer Seitenwand der ersten Gate-Elektrode (6) angeordnet ist, und mit einem ersten Störstellenbereich (9), der zu jedem Seitenwandabstandsstück der ersten Gruppe von Seitenwandabstandsstücken selbstausgerichtet ist, und einen

zweiten Transistor auf einem zweiten Siliziumplättchenteil (3) mit einer zweiten Gate-Elektrode, einer zweiten Gruppe von Seitenwandabstandsstücken (8b), wobei jedes Seitenwandabstandsstück der zweiten Gruppe von Seitenwandabstandsstücken neben einer Seitenwand der zweiten Gateelektrode angeordnet ist und die zweite Gruppe von Seitenwandabstandsstücken (8b) eine Stärke hat, die von der ersten Gruppe von Seitenwandabstandsstücken (8a) verschieden ist, und mit einem zweiten Störstellenbereich (10), der zu jedem Abstandsstück der zweiten Gruppe von Seitenwandabstandsstücken selbstausgerichtet ist, umfaßt.

2. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß der erste MOS-Transistor ein NMOS-Transistor ist, und daß der zweite MOS-Transistor ein PMOS-Transistor ist.

3. Bauelement nach Anspruch 2, dadurch gekennzeichnet, daß die zweite Gruppe von Seitenwandabstandsstücken (8b) eine Stärke hat, die größer als die der ersten Gruppe von Seitenwandabstandsstücken ist.

4. Bauelement nach Anspruch 3, dadurch gekennzeichnet, daß der Unterschied in der Stärke der zweiten Gruppe von Seitenwandabstandsstücken (8b) und der ersten Gruppe von Seitenwandabstandsstücken (8a) proportional zum Unterschied zwischen der Diffusionsgeschwindigkeit der Störstellen im ersten Störstellenbereich (9) und der Diffusionsgeschwindigkeit der anderen Störstellen im zweiten Störstellenbereich (10) ist.

5. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß sowohl der erste Transistor als auch der zweite Transistor entweder PMOS- oder NMOS-Transistoren sind.

6. Bauelement nach Anspruch 1, dadurch gekennzeichnet, daß die ersten Transistoren der Transistorgruppen NMOS-Transistoren umfassen, und daß die zweiten Transistoren der Transistorgruppen NMOS-Transistoren und PMOS-Transistoren umfassen.

7. Bauelement nach Anspruch 2, dadurch gekennzeichnet, daß der erste MOS-Transistor weiterhin einen dritten Störstellenbereich (7) aufweist, der zur ersten Gate-Elektrode selbstausgerichtet ist, wobei der dritte Störstellenbereich (7) eine Störstellenkonzentration hat, die niedriger als die des zweiten Störstellenbereiches (9) ist.

8. Verfahren zum Herstellen eines MOS-Halbleiterbauelementes mit Gruppen von MOS-Transistoren, wobei jede Gruppe einen ersten MOS-Transistor und einen zweiten MOS-Transistor umfaßt, dadurch gekennzeichnet, daß gleichzeitig eine erste Gate-Elektrode des ersten MOS-Transistors und eine zweite Gate-Elektrode des zweiten MOS-Transistors auf einem Halbleitersubstrat (1) ausgebildet werden, eine erste Gruppe von Seitenwandabstandsstücken (8a) an den Seitenwänden der ersten Gate-Elektrode und eine zweite Gruppe von Seitenwandabstandsstücken (8a) an den Seitenwänden der zweiten Gate-Elektrode ausgebildet werden, wobei die erste und die zweite Gruppe von Abstandsstücken bestimmte Stärken haben, selektiv ein erster Störstellenbereich des ersten MOS-Transistors in der Nähe der Oberfläche des Halbleitersubstrates ausgebildet wird, wobei sich der erste Störstellenbereich zur ersten Gruppe der Seitenwandabstandsstücke (8a) selbstausrichtet, eine

13. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß beim Bilden des ersten Störstellenbereiches ein erstes Störstellengebiet (7), das zur ersten Gate-Elektrode selbstausgerichtet ist, und ein zweites Störstellengebiet (9) gebildet werden, wobei das zweite Störstellengebiet (9) eine höhere Störstellenkonzentration als das erste Gebiet hat, und das zweite Störstellengebiet (9) zur ersten Gruppe von Seitenwandabstandsstücken (8a) selbstausgerichtet ist.

10. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß der erste MOS-Transistor ein NMOS-Transistor ist und daß der zweite MOS-Transistor ein PMOS-Transistor ist.

11. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß sowohl der erste als auch der zweite Transistor entweder PMOS-Transistoren oder NMOS-Transistoren sind.

12. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die erste Transistorgruppe NMOS-Transistoren umfaßt, und daß die zweite Transistorgruppe NMOS-Transistoren und PMOS-Transistoren umfaßt.

13. Verfahren zum Herstellen eines MOS-Halbleiterbauelementes mit Gruppen von Transistoren, wobei jede Transistorgruppe einen ersten MOS-Transistor und einen zweiten MOS-Transistor umfaßt, dadurch gekennzeichnet, daß gleichzeitig eine erste Gate-Elektrode des ersten MOS-Transistors und eine zweite Gate-Elektrode des zweiten MOS-Transistors auf einem Halbleitersubstrat ausgebildet werden, eine erste Gruppe von Seitenwandabstandsstücken (8a), die eine erste dünne Isolierschicht (8) an den Seitenwänden der ersten Gate-Elektrode umfassen, dadurch ausgebildet wird, daß die erste dünne Isolierschicht (8) auf dem Halbleitersubstrat niedergeschlagen und anisotrop im Bereich des ersten MOS-Transistors geätzt wird, selektiv ein erster Störstellenbereich des ersten MOS-Transistors in der Nähe der Oberfläche des Halbleitersubstrates ausgebildet wird, wobei der erste Störstellenbereich sich zur ersten Gruppe der Seitenwandabstandsstücke (8a) selbstausrichtet, eine zweite Gruppe von Seitenwandabstandsstücken (8b) an den Seitenwänden der Gate-Elektrode des zweiten MOS-Transistors in einer Stärke, die größer als die Stärke der ersten Gruppe von Seitenwandabstandsstücken ist, dadurch ausgebildet wird, daß eine zweite dünne Isolierschicht (15) auf dem Halbleitersubstrat niedergeschlagen wird und die erste und die zweite dünne Isolierschicht (8, 15) im Bereich des zweiten MOS-Transistors anisotrop geätzt werden, und selektiv ein zweiter Störstellenbereich (10) des zweiten MOS-Transistors in der Nähe der Oberfläche des Halbleitersubstrates zur zweiten Gruppe von Seitenwandabstandsstücken (8b) selbstausgerichtet ausgebildet wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß der erste MOS-Transistor ein

NMOS-Transistor ist und daß der zweite MOS-Transistor ein PMOS-Transistor ist.

15. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß sowohl der erste als auch der zweite Transistor entweder PMOS- oder NMOS-Transistoren sind.

16. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß die erste Transistorgruppe NMOS-Transistoren umfaßt, und daß die zweite Transistorgruppe NMOS- und PMOS-Transistoren umfaßt.

17. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß beim Bilden des ersten Störstellenbereiches ein erstes Störstellengebiet (7) gebildet wird, das zur ersten Gate-Elektrode selbstausgerichtet ist, und ein zweites Störstellengebiet (9) gebildet wird, wobei das zweite Störstellengebiet (9) eine höhere Störstellenkonzentration als das erste Gebiet (7) hat und das zweite Störstellengebiet zur ersten Gruppe von Seitenwandabstandsstücken (8a) selbstausgerichtet ist.

Hierzu 5 Seite(n) Zeichnungen

- Leerseite -

FIG. 1

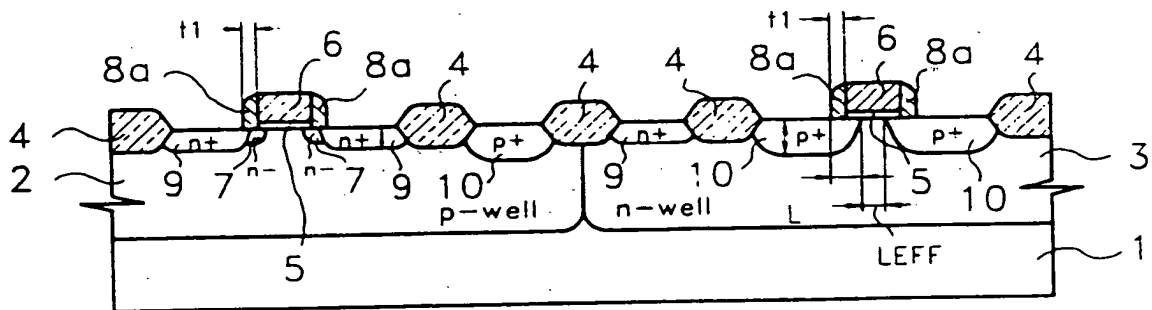


FIG. 2

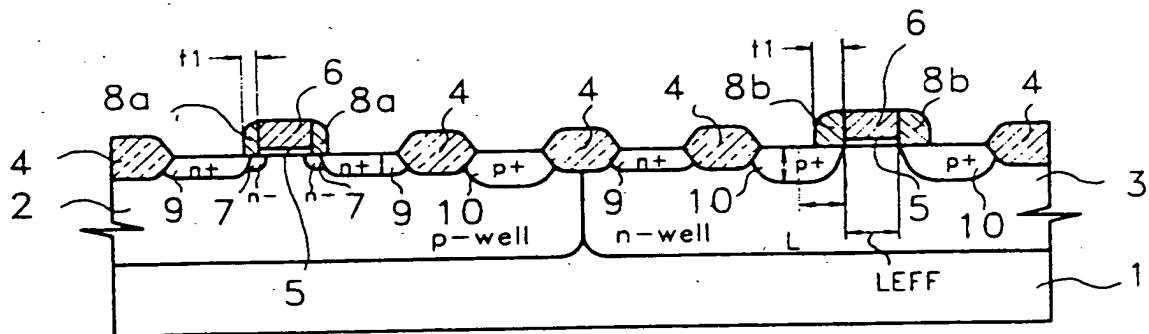


FIG. 3A

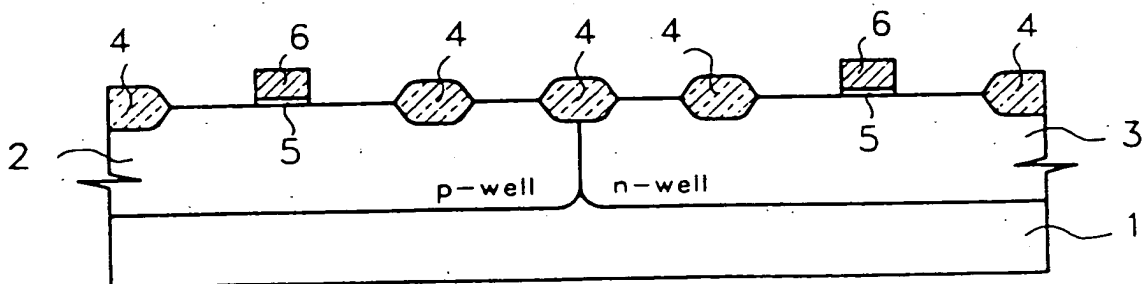


FIG. 3B

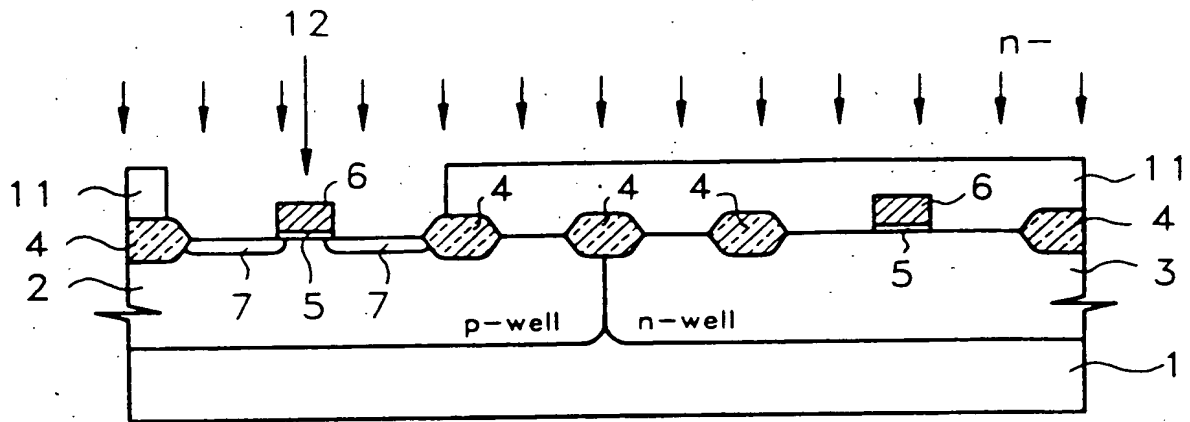


FIG. 3C

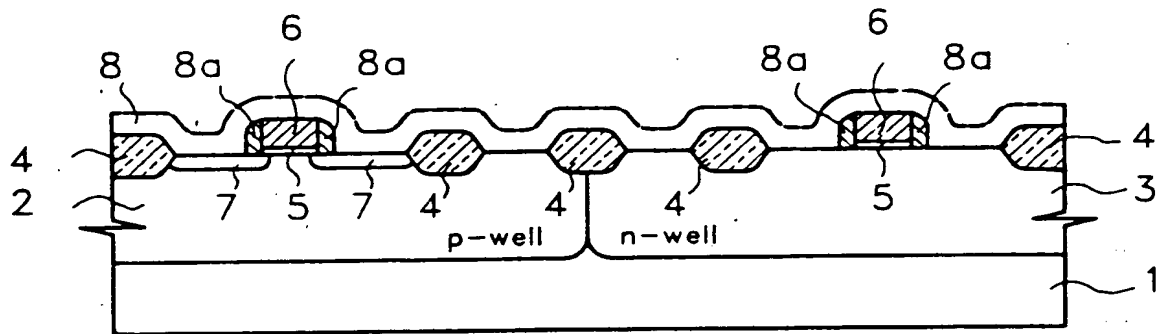


FIG. 3D

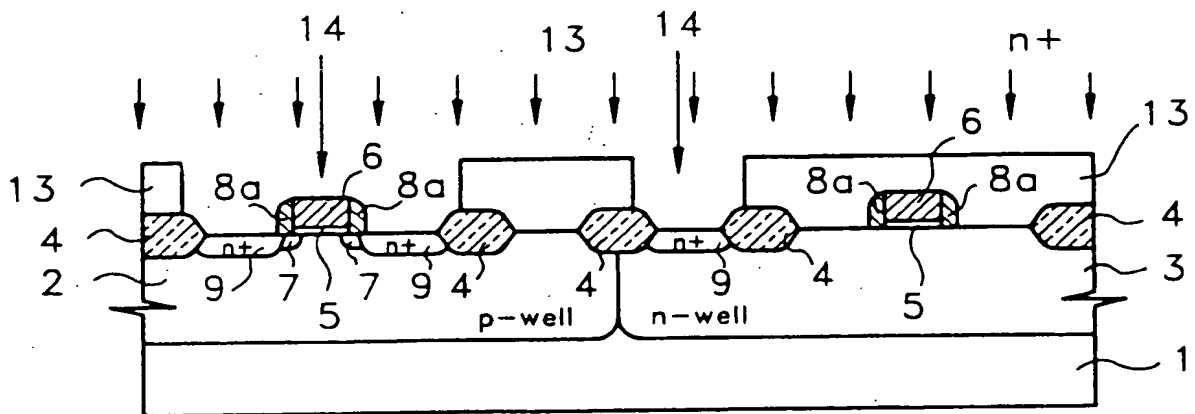


FIG. 3E

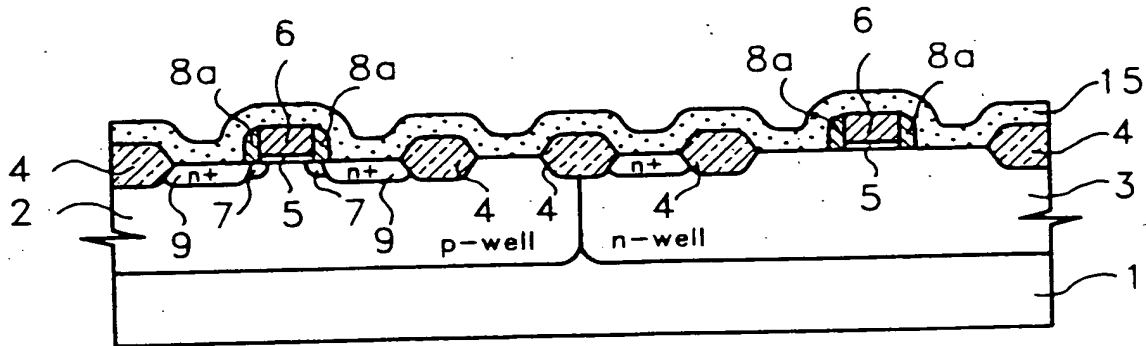


FIG. 3F

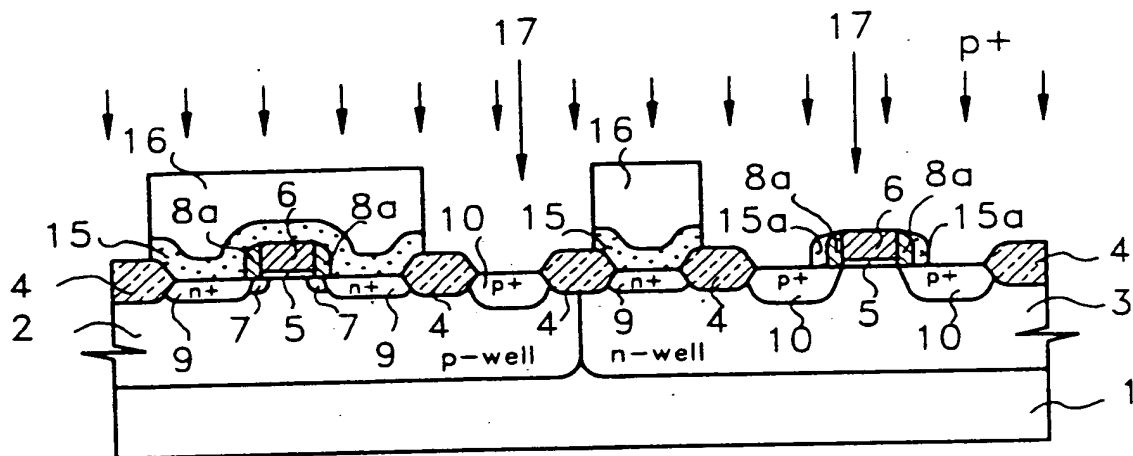


FIG. 3G

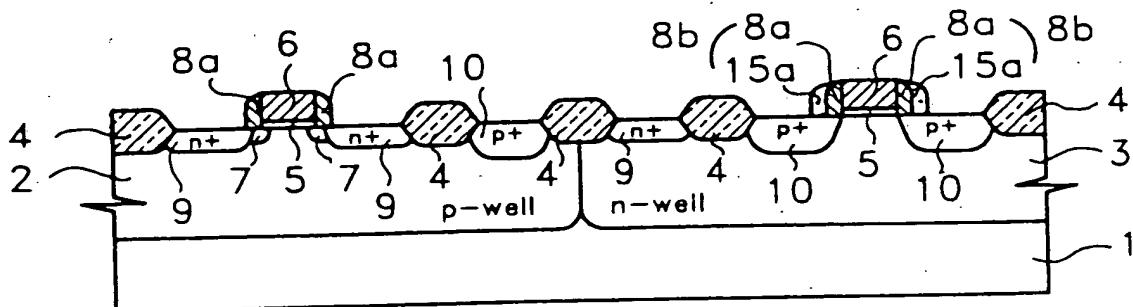


FIG. 4A

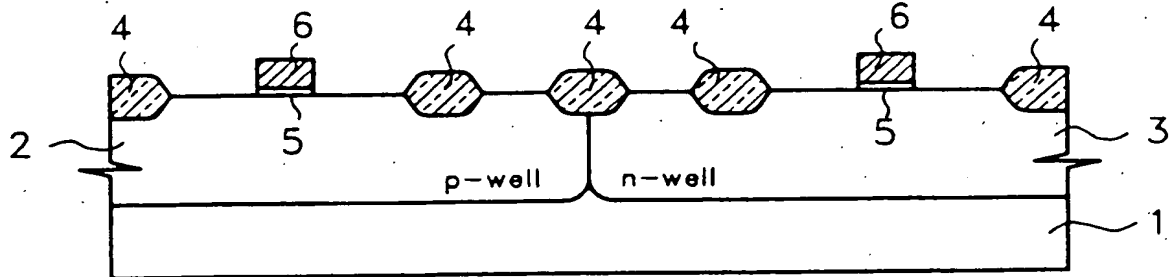


FIG. 4B

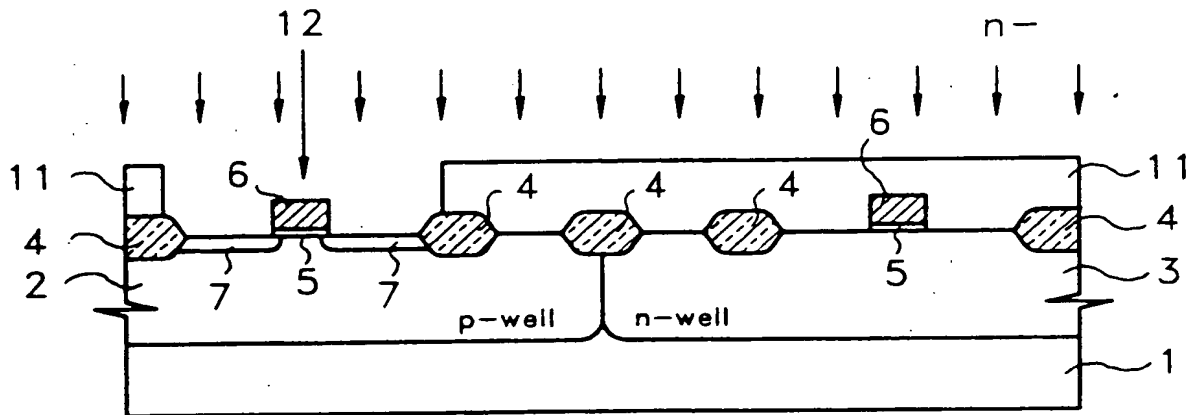


FIG. 4C

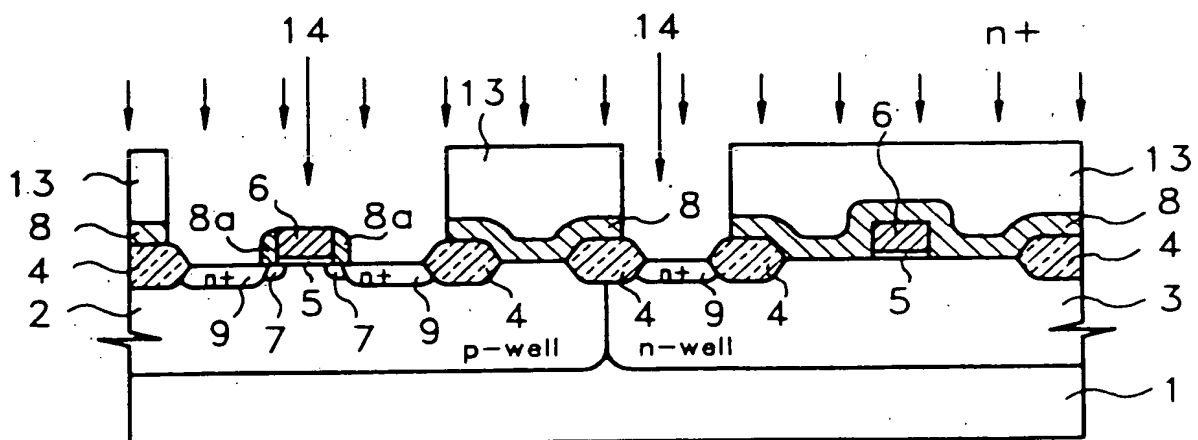


FIG. 4D

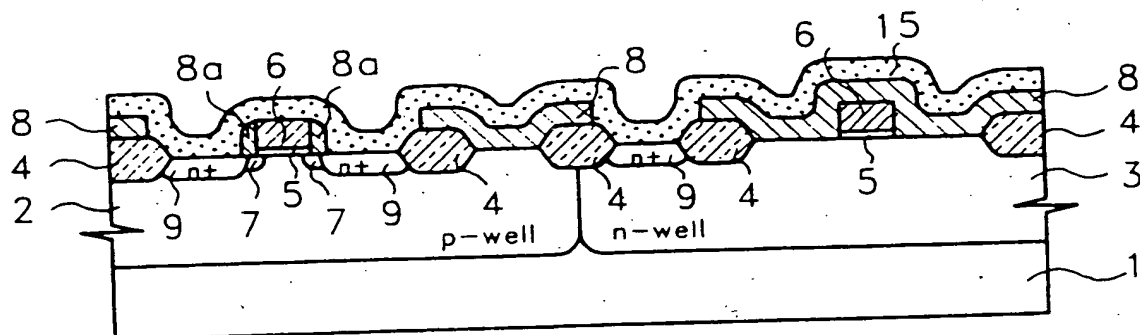


FIG. 4E

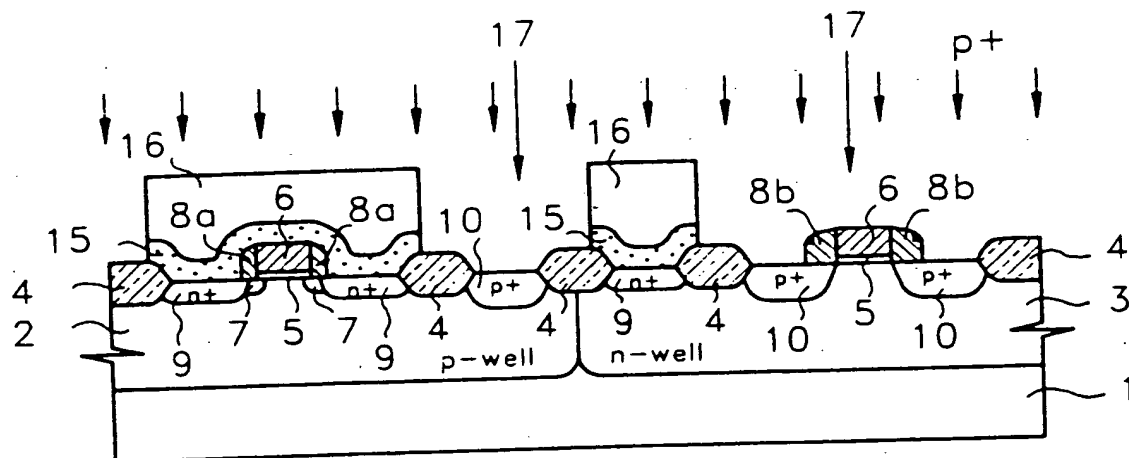


FIG. 4F

